

Requested Patent: JP3169062

Title: SEMICONDUCTOR DEVICE

Abstracted Patent: JP3169062

Publication Date: 1991-07-22

Inventor(s): GOTO SEIJI

Applicant(s): NEC KYUSHU LTD

Application Number: JP19890310161 19891128

Priority Number(s):

IPC Classification: H01L25/065 ; H01L23/50 ; H01L25/07 ; H01L25/18

Equivalents:

ABSTRACT:

PURPOSE: To reduce a package occupation area of a semiconductor device on a circuit board and to improve integration of a circuit board by stacking semiconductor chips solidly.

CONSTITUTION: A first semiconductor chip 1 is mounted on an island 5. An inner lead 6 provided on the periphery of the island 5 and a pad electrode 7 provided on the peripheral edge part of the semiconductor chip 1 are connected by a thin metal wire 4. Then, a second semiconductor chip 2 is mounted which has a bump 3 corresponding to a pad electrode 8 provided inside the pad electrode 7; the pad electrode 8 and the bump 3 are bonded by pressure; and the semiconductor chip 1 and the semiconductor chip 2 are electrically connected. Thereby, it is possible to reduce a package occupation area of a semiconductor device on a circuit board and to improve integration of a circuit board.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-169062

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)7月22日

H 01 L 25/065
23/50
25/07
25/18

W 9054-5F

7638-5F H 01 L 25/08

B

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-310161

⑰ 出 願 平1(1989)11月28日

⑱ 発 明 者 後 藤 誠 二

熊本県熊本市八幡町100番地 九州日本電気株式会社内

⑲ 出 願 人 九州日本電気株式会社

熊本県熊本市八幡町100番地

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置

特許請求の範囲

第1の半導体チップと、前記第1の半導体チップ上に搭載して前記第1の半導体チップと電気的に接続した第2の半導体チップとを有することを特徴とする半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に関し、特に複数の半導体チップを内蔵する半導体装置に関する。

(従来の技術)

従来の半導体装置は、同一アイランド上に複数の半導体チップを平面的に配置して搭載し、アイランドの周囲に配置した内部リードと半導体チップ間又は半導体チップ相互間を電気的に接続して

構成していた。

(発明が解決しようとする課題)

上述した従来の半導体装置は、平面的に複数の半導体チップを配置しているため、半導体装置の面積が大きくなるという欠点がある。

特に現在の半導体装置はプリント基板への実装の関係から外部リードの間隔等平面的な寸法の規格が決まっている為、従来の構造では半導体チップの寸法を小さくする以外に高集積化は不可能である。

(課題を解決するための手段)

本発明の半導体装置は、第1の半導体チップと、前記第1の半導体チップ上に搭載して前記第1の半導体チップと電気的に接続した第2の半導体チップとを有する。

(実施例)

次に、本発明について図面を参照して説明する。

第1図は本発明の第1の実施例の模式的断面図である。

第1図に示すように、アイランド5の上に第1の半導体チップ1をマウントし、アイランド5の周囲に設けた内部リード6と半導体チップ1の周縁部に設けたパット電極7との間を金属細線4で接続する。次に、パット電極7の内側に設けたパット電極8に対応して設けたバンパ3を有する第2の半導体チップ2を搭載してパット電極8とバンパ3を圧着し、半導体チップ1と半導体チップ2を電気的に接続する。

ここで、アイランド5の代りにセラミック基板やフィルムキャリアテープ等を用いても良い。

第2図は本発明の第2の実施例の模式的断面図である。

第2図に示すように、第1の実施例と同様にアイランド5の上に搭載して内部リード6との間を金属細線4で接続した半導体チップ1の上に絶縁性接着剤9により裏面を接着して半導体チップ2を搭載する。次に、半導体チップ2の上面に設けたパット電極10と半導体チップ1のパット電極8との間を金属細線11で接続する。

図面の簡単な説明

第1図乃至第3図は本発明の第1乃至第3の実施例の模式的断面図である。

1、2…半導体チップ、3…バンパ、4…金属細線、5…アイランド、6…内部リード、7、8…パット電極、9…接着剤、10…パット電極、11…金属細線。

代理人 弁理士 内 原 晋

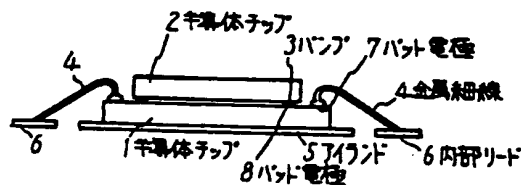
この実施例では半導体チップ2の表面側が上方に向いているので、さらに半導体チップ2の上に第3の半導体チップを重ねて積み上げられる利点がある。

第3図は本発明の第3の実施例の模式的断面図である。

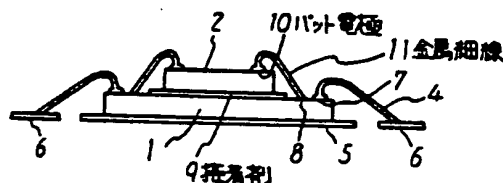
第3図に示すように、半導体チップ1上に接着剤9を用いてアイランド5及び内部リード6を接着し、アイランド5の上に接着剤9により半導体チップ2をマウントする。次に、半導体チップ1のパット電極7と内部リード6との間を金属細線4で接続し、半導体チップ2と内部リード6との間を金属細線11で接続する。

(発明の効果)

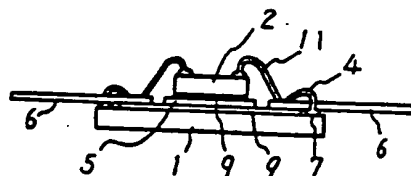
以上説明したように本発明は半導体チップを立体的に積み重ねていく事により半導体装置の面積を縮小して半導体装置の回路基板上への実装占有面積を小さくし、回路基板の集積度を向上させることができるという効果がある。



第 1 図



第 2 図



第 3 図